

明細書

信号処理装置、信号処理方法

5

技術分野

本発明は、例えばビデオ信号等についてのゲイン設定を主体とした信号処理装置及び信号処理方法に関する。

10 背景技術

画像表示装置をはじめとして、ビデオ信号処理を伴う機器の分野では、D S P (Digital Signal Processor)といわれるチップ、デバイスの普及などを背景として、デジタル信号処理によってビデオ信号処理を行うことが一般的になってきている。

15 図 6 は、上記した D S P を備えてビデオ信号処理を行う機器の例として、L C D (Liquid Crystal Display) を表示デバイスとして備える画像表示装置の構成を示している。

この図に示す D S P 1 は、例えば 1 つのチップ、デバイスとされて、内部に形成される信号処理部 1 1 によって、入力されたデジタルビデオ信号について所要の信号処理を実行する。ここでの信号処理は、デジタル信号処理となる。そして、この D S P 1 は、信号処理部 1 1 により信号処理を施したデジタルビデオ信号について、D / A コンバータ 1 2 によりアナログビデオ信号に変換したうえで、端子 T 1 から外部に出力するようにされている。

25 この場合、D S P 1 の端子 T 1 は、ここでは例えば D S P 1 と同様に 1 つのデバイスとされる L C D 駆動回路 2 の端子 T 4 と接続されており、

これにより、D S P 1 の端子 T 1 から出力されたアナログビデオ信号は、端子 T 4 を介して L C D 駆動回路 2 に対して入力される。

L C D 駆動回路 2 では、入力されたアナログビデオ信号を基として、L C D 3 を表示駆動するための駆動信号を生成し、端子 T 5 から出力する。この場合、端子 T 5 は、表示デバイスである L C D 3 の端子 T 6 と接続されており、L C D 3 に対しては、この端子 T 6 から駆動信号を入力するようにされる。

L C D 3 では、入力された駆動信号により画素セルを駆動する。これにより、L C D 3 において、ビデオ信号に応じた画像が表示されることになる。

ところで、例えば図 6 に示す構成の画像表示装置に対して、新規なビデオ信号処理機能を付加する方向での変更が必要になったとする。このような変更に対応するためには、先ず、D S P 1 を作り直すことが考えられる。しかしながら、D S P 1 の作り直しには、化初日、製造費などのコストがかかる。このために、上記した変更がさほど大規模なものではないような場合には、例えばその変更によるユーザなどへの訴求力などの効果に対して、D S P 1 を作り直すことによるコストアップが見合わなくなるなどのデメリットがでてくる。

そこで、このような場合には、新規なビデオ信号処理機能に対応する外付けの回路（チップ、デバイス）を実装するという手法を探るようされる。また、このような外付けの回路について、アナログによるビデオ信号処理を実行するアナログ回路の構成とすると、回路規模が大きくなり、また、信号レベルのばらつきなども拡大してしまうなどのデメリットがでてくるので、デジタル信号処理の構成とすることが好ましくなっててくる。

後者の手法のようにして、デジタル信号処理の構成を探る外付けの回

路（チップ、デバイス）を実装した画像表示装置を図7に示す。なお、図6と同一部分には同一符号を付して説明を省略する。

この図に示す画像表示装置では、DSP1とLCD駆動回路3との間に、外付けのデジタル信号処理回路（チップ、デバイス）である、信号5処理ブロック4を設けることとしている。

この信号処理ブロック4の端子T2は、DSP1の端子T1と接続されていることで、DSP1により信号処理が施された後のアナログビデオ信号が入力される。

信号処理ブロック4の内部構成としては、先ず、上記のようにして端子T2を介して入力されるアナログビデオ信号についてA/Dコンバータ21によりデジタルビデオ信号に変換して、内部でのデジタル信号処理に対応させる。そして、信号処理部22により、デジタル信号処理によって、特定機能に対応するビデオ信号処理を実行する。そして、このようにして信号処理が施されたデジタルビデオ信号について、LCD駆動回路2への入力に対応させるためにD/Aコンバータ23によりアナログビデオ信号に変換したうえで、端子T3から出力する。端子T3は、LCD駆動回路2の端子T4と接続されており、これにより、LCD駆動回路2には、アナログビデオ信号が入力される（特開平10-336547号公報参照。）。

ところで、上記図7に示した画像表示装置における信号処理ブロック4は、デジタル信号処理により内部でビデオ信号処理を実行しながらも、アナログビデオ信号の入出力に対応するために、A/Dコンバータ21とD/Aコンバータ23のセルを備えることになる。また、図7に示す画像表示装置においては、DSP1内にもD/Aコンバータ12のセルが備えられる。従って、図7に示す画像表示装置のシステム全体としては、3つのA/Dコンバータ或いはD/Aコンバータのセルを備えてい

ることになる。

現実的なこととして、このようなデバイスにおけるA／Dコンバータ或いはD／Aコンバータのセルには、入出力の信号レベル（デジタル信号の場合にはデータ値）にはばらつき（誤差）のあることが分かっている。

5 このようなA／Dコンバータ或いはD／Aコンバータのセルのばらつきは、個々は一定範囲内にあるように保証されている。しかしながら、図7に示すようにして、A／Dコンバータ或いはD／Aコンバータのセルが直列的に接続される数が増加してくれれば、総合的なデータ値（信号レベル）の誤差は拡大していくことになる。このようにして誤差がおお10 きくなっていくと、例えばデータ値（レベル）がオーバーフロー（過大入力）の傾向になったり、あるいは信号レベルが過小となって、本来のダイナミックレンジを有効に利用できなくなってくる。

上記したことについて、図8A, B, Cを参照して説明する。

先ず、図8Aには、DSP1内のD／Aコンバータ12のダイナミックレンジ（最大出力レベル）と、信号処理ブロック4のA／Dコンバータ21とのダイナミックレンジ（最大入力レベル）について同等である場合を示している。

D／Aコンバータ12の入力信号S1（図7では信号処理部11の出力となる）のデータ値としては、A／Dコンバータ21のダイナミックレンジDRに対応するレベルL_{dr}を設定している。そして、D／Aコンバータ12により入力信号S1をアナログ信号に変換して得られる信号S2としては、この場合、D／Aコンバータ12とA／Dコンバータ21のダイナミックレンジが同じであることで、レベルL_{dr}が得られている。

25 つまり、この場合には、最大値の入力信号がオーバーフローもせず、かつ、そのまま最大値として維持されているという、理想的にダイナミ

ックレンジが確保されている状態にある。

これに対して、図 8 B には、誤差のばらつきの関係として、D S P 1 内の D/A コンバータ 1 2 のダイナミックレンジ（最大出力レベル）のほうが、信号処理ブロック 4 の A/D コンバータ 2 1 のダイナミックレンジ（最大入力レベル）よりも大きい場合を示している。

この場合、D/A コンバータ 1 2 のダイナミックレンジのほうが大きいことに対応して、レベル L_{dr} の入力信号 S_1 をアナログ信号に変換した信号 S_2 としては、図示するようにして、レベル L_{dr} よりも高いレベル L_a により出力される。

この場合、信号 S_2 が A/D コンバータ 2 1 に入力されたとしても、信号 S_2 のレベルは、A/D コンバータ 2 1 のダイナミックレンジを越えていることから、A/D コンバータ 2 1 から出力される信号としては、データ値がオーバーフローしてしまうことになる。

また、図 8 C に、誤差のばらつきの関係として、D S P 1 内の D/A コンバータ 1 2 のダイナミックレンジ（最大出力レベル）のほうが、信号処理ブロック 4 の A/D コンバータ 2 1 のダイナミックレンジ（最大入力レベル）よりも小さい場合を示す。

この場合、D/A コンバータ 1 2 のダイナミックレンジのほうが小さいことに対応して、レベル L_{dr} の入力信号 S_1 をアナログ信号に変換した信号 S_2 は、図示するようにして、レベル L_{dr} よりも低いレベル L_b により出力される。

この信号 S_2 のレベルは、本来はレベル L_{dr} であるべきなのにかかわらず、D/A コンバータ 1 2 のダイナミックレンジ D R に対して、レベル $L_{dr} - L_b$ のレベル差分に応じて小さなものとなっている。つまり、ダイナミックレンジを充分に確保できていない状態となっている。

このようにして、D/A コンバータ、A/D コンバータセルの誤差の

ばらつきは、ダイナミックレンジが適切でなくなるという状態として現れるが、これは例えばソラリゼーションの劣化などの現象として現れ、画質を損なう要因となる。

5 発明の開示

そこで本発明は上記した課題を考慮して、信号処理装置として次のように構成する。

本発明による信号処理装置は、第1のデジタル信号処理部と、第2のデジタル信号処理部を有する。

10 そして、第1のデジタル信号処理部は、所定のデジタル信号処理が施されたデジタル信号を入力して、設定されたゲイン値に応じたゲインを与えて出力する第1のゲイン調整手段と、この第1ゲイン調整手段から出力されるデジタル信号をアナログ信号に変換して、第1のデジタル信号処理部から出力する第1のデジタルーアナログ変換手段とを備える。

15 また、第2のデジタル信号処理部は、第1のデジタル信号処理部のデジタルーアナログ変換手段から出力されるアナログ信号をデジタル信号に変換するアナログー・デジタル変換手段と、アナログー・デジタル変換手段から出力されるデジタル信号について所定のデジタル信号処理を施すデジタル信号処理手段と、このデジタル信号処理手段から出力されるデジタル信号を入力して、設定されたゲイン値に応じたゲインを与えて出力するもので、第1のゲイン調整手段よりも低いゲイン感度が設定される第2のゲイン調整手段と、この第2のゲイン調整手段から出力されるデジタル信号をアナログ信号に変換して、第2のデジタル信号処理部から出力する第2のデジタルーアナログ変換手段とを備える。

20 そのうえで、第1のデジタルーアナログ変換手段と、アナログー・デジタル変換手段は、第1のデジタルーアナログ変換手段における信号レベ

ルの誤差ばらつき範囲の最小値が、アナログ-デジタル変換手段における信号レベルの誤差ばらつき範囲の最大値以上となる関係が得られるようにして設定される。

そしてさらに、第2のゲイン調整手段から出力されるデジタル信号の5 レベル値を検出する検出手段と、第1のデジタル信号処理部において最大値として扱われるレベルの信号を第1のゲイン調整手段に対して入力させた状態の上で、検出手段により検出されるレベル値が規定値未満の範囲で最大値となるようにして、第1のゲイン調整手段に対してゲイン値を設定する第1のゲイン設定手段と、第1のゲイン設定手段によるゲイン値の設定が完了した後において、第1のデジタル信号処理部に対して所定の最大値として扱われるレベルの信号を入力させた状態の上で、検出手段により検出されるレベル値が規定値以下の範囲で最大値となるようにして、第2のゲイン調整手段に対してゲイン値を設定する第10 第2のゲイン設定手段とを備えることとした。

15 また、信号処理方法としては次のように構成することとした。

先ず、本発明の信号処理方法としては、第1のデジタル信号処理と、第2のデジタル信号処理を実行するものとされる。

そして、第1のデジタル信号処理は、所定のデジタル信号処理が施されたデジタル信号を入力して、設定されたゲイン値に応じたゲインを与える第1のゲイン調整手順と、この第1ゲイン調整手順により得られるデジタル信号をアナログ信号に変換して、第1のデジタル信号処理の出力とする第1のデジタル-アナログ変換手順とを含むようにされる。

また、第2のデジタル信号処理は、第1のデジタル信号処理に含まれるデジタル-アナログ変換手順により得られるアナログ信号をデジタル信号に変換するアナログ-デジタル変換手順と、アナログ-デジタル変換手順により得られるデジタル信号について所定のデジタル信号処理を

施すデジタル信号処理手順と、このデジタル信号処理手順により得られるデジタル信号を入力して、設定されたゲイン値に応じて、第1のゲイン調整手段より低いゲイン感度によりゲインを与える第2のゲイン調整手順と、第2のゲイン調整手順により得られるデジタル信号をアナログ信号に変換して、第2のデジタル信号処理部から出力する第2のデジタルアナログ変換手順とを含むようにされる。
5

そしてさらに、第1のデジタルアナログ変換手順に対応するデバイスにおける信号レベルの誤差ばらつき範囲の最小値が、アナログーデジタル変換手順に対応するデバイスのける信号レベルの誤差ばらつき範囲
10 の最大値以上となる関係が得られるように設定する設定手順と、第2のゲイン調整手順により得られるデジタル信号のレベル値を検出する検出手順と、第1のデジタル信号処理において最大値として扱われるレベルの信号を第1のゲイン調整手順に対して入力させた状態のもとで、検出手順により検出されるレベル値が規定値未満の範囲で最大値となるよう
15 にして、第1のゲイン調整手順に対してゲイン値を設定する第1のゲイン設定手順と、第1のゲイン設定手順によるゲイン値の設定が完了した後において、第1のデジタル信号処理部に対して所定の最大値として扱われるレベルの信号を入力させた状態のもとで、検出手順により検出されるレベル値が規定値以下の範囲で最大値となるようにして、第2のゲ
20 イン調整手順に対してゲイン値を設定する第2のゲイン設定手順とを実行するように構成することとした。

上記各構成では、第1のデジタル信号処理部（第1のデジタル信号処理）と第2のデジタル信号処理部（第2のデジタル信号処理）とによるデジタル信号処理の系が直列的に行われ、かつ、第1のデジタル信号処理部（第1のデジタル信号処理）と第2のデジタル信号処理部（第2のデジタル信号処理）との間は、D／A変換機能、A／D変換機能が介在
25

することから分かるようにアナログ信号の伝送となっている。

そして、このような構成におけるゲイン設定を行うのにあたり、先ず、第1のデジタル信号処理部側のD/A変換機能（第1のデジタルーアナログ変換手段／手順）の信号レベルの誤差ばらつき範囲の最小値が、第5 2のデジタル信号処理部側のA/D変換機能の信号レベルの誤差ばらつき範囲の最大値よりも大きくなるように、その大小関係を設定するよう5にされる。これにより、第1のデジタル信号処理部側のD/A変換機能側から、第2のデジタル信号処理部側のA/D変換機能側の入力がレンジ不足の状態となることが確実ないようにされる。

10 そのうえで、先ず、第1のゲイン調整手段／手順に対し、所定の最大値として扱われるレベルの信号を入力させた状態のもとで、検出手段／手順により検出されるレベル値が規定値未満の範囲で最大値となるようにして、第1のゲイン調整手段／手順に対するゲイン値を設定することとしている。そして、このようにして第1のゲイン調整手段／手順に対するゲイン値設定が完了した後において、同じく第1のデジタル信号処15理部に対して所定の最大値として扱われるレベルの信号を入力させた状態のもとで、検出手段／手順により検出されるレベル値が規定値以下の範囲で最大値となるようにして、第2のゲイン調整手段／手順に対してゲイン値を設定するようされる。

20 ここで、第1、第2のゲイン調整手段／手順に対するゲイン設定にあたっては、これら第1、第2のゲイン調整手段／手順によるゲイン設定を経たデジタル信号のレベル値に基づいている。これにより、上記のようにしてゲイン設定された状態では、第1のデジタル信号処理部側のD/A変換機能と、第2のデジタル信号処理部側のA/D変換機能とについての信号レベルの誤差ばらつきにかかわらず、最大限のダイナミックレンジが得られる状態が得られているものとなる。

図面の簡単な説明

図 1 は、本発明の実施の形態としての画像表示装置の構成例を示すブロック図である。

5 図 2 A, B, C は、第 1 の実施の形態としてのゲイン設定の手順例を模式的に示す図である。

図 3 は、第 1 の実施の形態としてのゲイン設定のための処理動作を示すフローチャートである。

10 図 4 A, B, C, D は、第 1 の実施の形態としてのゲイン設定の手順例を模式的に示す図である。

図 5 は、第 1 の実施の形態としてのゲイン設定のための処理動作を示すフローチャートである。

図 6 は、D S P を備えてビデオ信号処理を実行する従来機器とされる、画像表示装置の構成例を示すブロック図である。

15 図 7 は、図 6 に示す画像表示装置に対して、新規に信号処理ブロックを追加した構成を示すブロック図である。

図 8 A, B, C は、図 7 に示す画像表示装置における、D / A コンバータ、A / D コンバータセルの信号の誤差ばらつきに起因してダイナミックレンジが劣化する事象を説明するための図である。

20

発明を実施するための最良の形態

図 1 は、本発明の実施の形態としての画像表示装置を示している。この画像表示装置において、本発明に基づいた信号処理装置としての構成が備えられる。本実施の形態としては、ゲイン設定のための処理手順の相違により第 1 の実施の形態と第 2 の実施の形態とを挙げて説明するが、25 この図 1 に示す構成は、第 1 の実施の形態と第 2 の実施の形態とで共通

となる。

この図に示す画像表示装置の信号処理系は、大別して、DSP1、信号処理ブロック4、LCD駆動回路2、LCD3を備える。

これらDSP1、信号処理ブロック4、LCD駆動回路2、LCD3
5 は、それぞれが、独立したチップ、デバイスとして実装される。そのうえで、DSP1と信号処理ブロック4とについては端子T1-T2により接続し、信号処理ブロック4とLCD駆動回路2については端子T3-T4により接続し、LCD駆動回路2とLCD3については端子T5-T6と接続するようにしている。

10 この場合のDSP1の内部としては、信号処理部11、第1GCA1
3、D/Aコンバータ12を形成しているものとされる。信号処理部1
1では、画像表示のためのデジタルビデオ信号を入力して所要の各種の
デジタル信号処理を施して得られた信号S0（デジタルビデオ信号の形
式である）を、第1GCA（Gain Control Amplifier）13に対して出力
15 する。第1GCA13では、マイクロコンピュータ5が出力する制御信
号により指示されたゲイン値G1を設定し、入力されたデジタルビデオ
信号（S0）のゲインを可変して、信号S1として出力するようにされ
る。なお、この第1GCA13としては、デジタル信号についてのゲイ
ンを調整するものとされるので、例えばデジタル値を対象とする乗算器
20 などにより構成することができる。

第1GCA13から出力された信号S1は、D/Aコンバータ12に
対して入力され、アナログビデオ信号である信号S2に変換され、端子
T1に出力される。この端子T1に出力された信号2は、信号処理ブロ
ック4の端子T2に入力される。

25 この図1に示す画像表示装置は、現行以前においては、例えばDSP
1、LCD2、及びLCD3とにより構成されていた。つまり、信号処

理ブロック4を省略した構成とされている。この構成においては、DSP1の端子T1とLCD駆動回路2の端子T4とを接続しており、DSP1から出力されたアナログビデオ信号である信号S2を、そのままLCD駆動回路2に対して入力させることとしていた。DSP1がアナログのビデオ信号を出力する仕様とされているのは、上記のように、本来は、その出力をLCD駆動回路2に対して入力させることを前提としていたからである。

本実施の形態の信号処理ブロック4は、この現行以前の画像表示装置に対して新規な所定の信号処理機能を与えるために追加的に実装された、外付け回路としてのチップ、デバイスである。つまり、信号処理ブロック4は、上記した新規な所定の信号処理機能を実現するための信号処理を実行可能に構成されている。

上記現行以前の画像表示装置に対し、新規な所定の信号処理機能を与えるとした場合、1つには、DSP1そのものを設計し直して製造し、これを実装するということが考えられるが、これは、例えば開発費用であるとか、再製造のための費用などが必要となる。

例えば、この新規な信号処理機能の付加が、画像表示装置のシステム全体としては小規模な変更であるようなケースでは、DSP1の再製造、再実装のコストに対して、信号処理機能の付加による効果が見合わずに、コスト的に不利となる状況となることがある。このような場合には、新規な信号処理機能を有する外付けの回路を、現行以前の構成に対して追加的に付加するようにして構成することのほうが有利となる。本実施の形態は、このようなケースにあてはまるもので、信号処理ブロック4は、現行以前の画像表示装置の構成に対して追加的に実装されたものである。

また、このような外付けの回路として、アナログ回路によるビデオ信号処理の構成とすると、回路規模が大きくなり、また、信号レベルのば

らつきなども拡大してしまうなどの不都合が生じる。従って、このような外付けの回路としても、デジタル信号処理の構成とすることが好ましいということになる。このような観点から、信号処理ブロック4としても、デジタル信号処理とする構成が採られている。つまり、信号処理ブロッ
5 ブロック4も、単体のDSPのチップ、デバイスとして構成される。

信号処理ブロック4では、上記のようにしてデジタル信号処理を実行するが、DSP1の端子T1から入力されるビデオ信号(S2)はアナログの形式となっている。そこで、信号処理ブロック4においては、端子T2から入力されてきたアナログのビデオ信号(S2)を、A/Dコンバータ21によりデジタルのビデオ信号(S3)に再変換して、信号処理部22に入力させる。
10

信号処理部22においては、入力されたデジタルビデオ信号(S3)について、少なくとも、先に述べた新規な信号処理機能に対応するデジタル信号処理を施して、信号S4として出力する。この信号S4は、第
15 2GCA24に入力される。

第2GCA24は、先に説明した第1GCA13と同様に、入力されたデジタルビデオ信号(S4)について、マイクロコンピュータ5が指示するゲイン値G2に応じて設定したゲインを与えて、信号S5として出力する。なお、この第2GCA24についても、乗算器などにより構成することができる。ただし、後述するようにして第1GCA13と第
20 2GCA24のゲイン設定を行う都合上、第1GCA13は、第2GCA24よりも大きなゲイン感度が設定される。

第2GCA24の出力であるデジタルビデオ信号(S5)は、D/Aコンバータ23に対して入力される。また、分岐するようにして、マイ
25 クロコンピュータ5にも入力されるようになっている。

信号処理ブロック4のビデオ信号出力を受けるLCD駆動回路2は、

アナログ信号を入力する仕様となっている。そこで信号処理ブロック4では、D/Aコンバータ23により、入力されたデジタルビデオ信号(S5)をアナログのビデオ信号に変換して、端子T3を介して、LCD駆動回路2の端子T4に対して入力させる。

5 LCD駆動回路2では、入力されたアナログのビデオ信号を基として、LCD3を表示駆動するための駆動信号を生成し、端子T5を介してLCD3の端子T6に入力する。

LCD3では、入力された駆動信号により画素セルを駆動する。これにより、LCD3において、ビデオ信号に応じた画像が表示される。

10 マイクロコンピュータ5は、CPU(Central Processing Unit)、ROM、RAMなどを備えて構成されるもので、例えばROMにインストールされるようにして記憶されたプログラムをCPUが実行することで、画像表示装置についての制御処理を実行する。本実施の形態においては、このマイクロコンピュータ5は、以降説明するようにして、第1GCA
15 13及び第2GCAについてのゲイン調整を行うようになれる。

図1に示す構成の画像表示装置においては、信号処理系において、3つのD/Aコンバータ或いはA/Dコンバータのセルが直列的に備えられている。D/Aコンバータ或いはA/Dコンバータのセルについては、信号入出力レベルについて、定格レベルに対する誤差のばらつきがある。

20 つまり、入力に関すれば、仕様で決められている最大許容入力レベル(データ値)がAであるとしても、実際には、Aよりも大きなレベル(データ値)が入力可能であったり、また、Aよりも小さいレベル(データ値)が実際の最大許容入力レベルであり、実際にAを入力すればレベルオーバー(オーバーフロー)となるようにして誤差が生じる。また、出力についても、最大レベルの入力信号に応答する仕様上の最大出力レベル(データ値)がBであるとしても、実際には、Bよりも大きなレベルに

より出力されたり、また、Bよりも小さいレベルで出力されてしまったりするような誤差が生じる。さらに、このような入出力レベルの誤差量が、セルごとにばらついているものである。

そして、このような誤差、及びそのばらつきがビデオ信号のダイナミックレンジが不適正となる要因であることは、先に述べたとおりである。

本実施の形態においては、D/Aコンバータ或いはA/Dコンバータのセルのばらつきの存在にかかわらずビデオ信号のダイナミックレンジが適正なものとなるように、第1GCA13及び第2GCA24を設けたうえで、これらの第1GCA13及び第2GCA24についてのゲイン設定を行うようにされる。

なお、このゲイン設定は、例えば製造工程における調整段階において行われるもので、基本的には、一度設定が完了すれば、以降は、そのときのゲイン値が固定設定される。ただし、本実施の形態としてのゲイン設定をマイクロコンピュータ5が実行するタイミングとしては、特に限定されるものではなく、例えば電源起動時に対応するタイミングで毎回、或いは所定回数ごと、あるいは一定時間間隔ごとに行われるようにしてもよいものである。このようにして工場出荷時以降の機会で或る一定頻度でゲイン設定が行われるようすれば、例えば経時変化や、何らかの要因による信号レベルのばらつきの変化に適応できる。

図2A, B, Cは、本実施の形態において行われる、第1の実施の形態としての第1GCA13及び第2GCA24についてのゲイン設定の手順を模式的に示している。

ここで、上記もしているように、DSP1内のD/Aコンバータ12、及び信号処理ブロック4内のA/Dコンバータ21は、信号レベルの誤差ばらつきが存在する。また、このような誤差ばらつきの範囲、つまり誤差の最大値/最小値については、デバイスごとのスペックとしてあ

らかじめ把握されている。さらには、この誤差ばらつきの範囲（最大値／最小値）は、外付けの抵抗などの素子の定数に応じて可変設定することができる。

そこで、本実施の形態においては、実際にゲイン調整を行うのに先立
5 つて、その準備段階として、D/Aコンバータ12の誤差ばらつきの範
囲と、A/Dコンバータ21の誤差ばらつきの範囲の関係について、次
のようく設定する。

つまり、先ず、図2Aに示すように、D/Aコンバータ12の誤差ば
らつきの範囲について最大値L1max、最小値L1minにより表すこととする。
10 また、A/Dコンバータ21の誤差ばらつきの範囲についても、最大値
L2max、最小値L2minにより表すこととする。そして、同じ図2Aに示す
ように、D/Aコンバータ12の最小値L1minについて、A/Dコンバ
ータ21の最大値L2max以上（若しくは最大値L2maxよりも高い値）となる
ように設定する。

15 このようにして設定を行ったうえで、本実施の形態においては、以降
の調整のための信号源として、DSP1の信号処理部11から出力され
る信号、つまり、第1GCA13に対する入力信号S0について、DS
P1が扱う信号レベルとして最大であると規定されるレベルLs1に対応
するデータ値を設定する。例えば本実施の形態では、このレベルLs1の
20 信号として、いわゆる白レベルに対応する100IREの信号を用いる
ようにされる。

また、以降のゲイン調整を行うのにあたって、第1GCA13、及び
第2GCAについては、ともに初期値として1倍のゲインを設定する。

この第1GCA13、及び第2GCAの各ゲイン値G1、G2が初期
25 値を取っている状態では、先ず、DSP1の信号処理部11から出力さ
れる信号S0と、第1GCA13からA/Dコンバータ21に入力され

る信号 S_1 とは同じ信号とみなしてよいことになるので、図 2 A に示すようにして、信号 S_1 もレベル L_{s1} であることになる。そして、この信号 S_1 を D/A コンバータ 1 2 によりアナログ信号に変換して得られる信号 S_2 のレベルとしては、D/A コンバータ 1 2 の入出力の誤差ばらつきの量が最小であるとしても、A/D コンバータ 2 1 の最大値 L_{2max} 以下となることはない。この場合に信号 S_2 が採り得る最小値は、D/A コンバータ 1 2 の誤差ばらつき範囲の最小値 L_{1min} だからである。

つまり、図 2 A に示した D/A コンバータ 1 2 と A/D コンバータ 2 1 との誤差ばらつきの範囲の設定によっては、D/A コンバータ 1 2 の入力信号 S_1 を D S P 1 にて許容される最大レベルとしたときに、A/D コンバータ 2 1 の入力信号 S_2 は、確実にオーバーフローが生じるようにならざることになる（但し、第 1 G C A 1 3 のゲイン値は 1 倍であることを前提とする）。逆の見方をすれば、入力信号 S_1 を許容される最大レベルとしたときに、信号 S_2 が、A/D コンバータ 2 1 の実際の最大許容入力レベル以下となることは、確実に無いように設定されているものである。つまり、D/A コンバータ 1 2 の出力が、レンジ不足で A/D コンバータ 2 1 に入力されることが無いようにしている。A/D コンバータ 2 1 の入力段階でレンジ不足が生じると、後段の第 2 G C A 2 4 によりゲインを上げても、このレンジ不足をキャンセルすることはできない。

上記信号 S_2 は、A/D コンバータ 2 1 によりデジタルのビデオ信号 S_3 に変換されるが、この信号 S_3 は、A/D コンバータ 2 1 の誤差ばらつきによる信号レベルの誤差を含んでいることになる。この信号 S_3 は、信号処理部 2 2 を介して信号 S_4 として第 2 G C A 2 4 に入力される。ここでは、信号処理部 2 2 のデジタル信号処理結果による信号レベルの変化は無いものとして考える。つまり、信号処理部 2 2 におけるゲ

イン値は1倍であるとみなされる。さらに、第2GCA24のゲイン値が1倍であることで、上記信号S4と信号S5は、同じ信号であるとみてよい。従って、信号S5は、この場合には信号S3と同じ信号であると見て良いことになる。

5 信号S3は、A/Dコンバータ21によりデジタル化された信号であり、かつ、オーバーフローしている信号である。従って、信号S3としては、A/Dコンバータ21の誤差ばらつきの範囲（最大値L2max—最大値L2min）の間において、実際のA/Dコンバータ21の誤差ばらつきに応じて決まるダイナミックレンジDRの最大レベル（Ldr）で張り付いた
10 状態が得られることになる。

そして、このときには、信号S5も、この信号S3と同じレベルであることになる。信号S5は、図1に示したように、マイクロコンピュータ5にも入力されている。マイクロコンピュータ5は、この信号S5のレベル（データ値）に基づいて、以降のゲイン調整のための制御処理を
15 実行する。

この初期状態においては、上記もしているように、信号S5はレベルLdrで張り付いた状態となっているのであるが、これは、信号がオーバーフローしている状態を作り出していることを意味している。

そこで、マイクロコンピュータ5によるゲイン調整としては、先ず、
20 入力される信号S5を監視しながら、この信号S5がレベルLdrより小さくなるまで、第1GCA13に対して設定するべきゲイン値G1を小さくしていく。なお、このゲイン値G1の制御は、マイクロコンピュータ5がゲイン値G1を指示する制御信号を出力することによって行う。また、確認のために述べておくと、以降においても、第1GCA13に
25 対する入力信号S0については、最大であるとして規定されるレベルLs1が維持される。

上記した第1GCA13に対するゲイン値の設定を、図2Bに示している。

つまり、第1GCA13のゲイン値を初期値から小さくしていくことによっては、第1GCA13から出力される、D/Aコンバータ12への入力信号S1のレベルも低減していくことになる。これに応じて、D/Aコンバータ12の出力であり、A/Dコンバータ21への入力信号である信号S2のレベルも低下していく。しかしながら、信号S2のレベルが、A/Dコンバータ21のダイナミックレンジDRの最大値であるレベルLdrより大きいとされる状態では、A/Dコンバータ21においては過大入力となってオーバーフローが生じる。このとき、信号S5は、レベルLdrで張り付いた状態であることが検出される。

このように、信号S5は、レベルLdrである限りは、オーバーフローが生じていることになるので、マイクロコンピュータ5は、第1GCA13に設定するゲイン値を小さくしていくように制御を実行する。

そして、このようにしてゲイン値を小さくしていくことにより、或る段階で、図2Bに示されるようにして、信号S5（A/Dコンバータ21の出力である信号S3）は、はじめてレベルLdrよりも小さい値を取る状態が得られることになる。このときに第1GCA13に設定されているゲイン値が、第1GCA13にとっての最適ゲイン値となる。

つまり、第1GCA13の後段においてオーバーフロー（レベル飽和）が発生しない範囲内において、ダイナミックレンジDRに対して最大レベルが入力される状態が得られているものである。以降、このときに第1GCA13に設定されたゲイン値が、第1GCA13に対して固定設定されることになる。

上記のようにして第1GCA13のゲイン値の設定が完了した後は、第2GCA24に対するゲイン設定を行うことになる。第2GCA24

に対するゲイン設定は、第1GCA13のゲイン値の設定を完了させた状態から開始するようになります。

ここで、前述もしたように、第1GCA13の感度は、第2GCA24よりも高く設定されているが、これは、同じ設定ゲイン値の変化量に応答する信号の出力レベルの変化量としてみれば、第1GCA13のほうが第2GCA24よりも大きいことであり、また、換言すればゲイン値可変に応答した出力レベル変化の分解能としては、第2GCA24のほうが高い、ということを意味する。つまり、図1に示すビデオ信号処理系において、第1GCA13は粗調整的なゲイン設定を行い、第2GCA24が微調整的なゲイン設定を行うという役割分担になっている。

このことからすると、第1GCA13のゲイン値の設定が完了した状態では、図2Bに示すようにして、信号S5は、ダイナミックレンジDRの最大レベルLdrよりも小さいレベルとなっている。しかしながら、第1GCA13のゲイン設定の分解能が低いことから、信号S5のレベルとレベルLdrとの差は、比較的大きいものとなり得る。

ただし、第2GCA24のゲイン設定の分解能は、第1GCA13と比較して高い。従って、第2GCA24のゲイン設定により、信号S5のレベルについて、レベルLdrに近づけていくようにして、信号S5のレベルとレベルLdrとの差をできるだけ少なくするように調整していくことが可能であるということになる。このようにすれば、オーバーフロー（レベル飽和）が発生しない範囲内において、入力最大レベルは、ダイナミックレンジDRに対してより近づくこととなる。つまり、信号そのものとしてのダイナミックレンジがより良好になる。第2GCA24のゲイン設定は、このために行われる。

そして、実際の第2GCA24に対するゲイン設定としては、マイクロコンピュータ5は、信号S5のレベルを監視しながら、第2GCA2

4 に対して設定すべきゲイン値 G_2 を高くしていくようにして制御する。

この第 2 GCA 24 に対するゲイン値 G_2 の設定も、マイクロコンピュータ 5 がゲイン値 G_2 を指示する制御信号を出力することで行われる。

この第 2 GCA 24 に対するゲイン設定は、図 2C に示される。

5 上記のようにして第 2 GCA 24 のゲイン値を高く設定していくのに応じては、この第 2 GCA 24 の出力である信号 S_5 のレベルが高くなっていくことになる。確認のために述べておくと、第 2 GCA 24 の出力レベル変化の分解能は、第 1 GCA 13 よりも高いことで、例えば 1 ステップごとの信号 S_5 のレベル変化量は、第 1 GCA 13 と比較して 10 小さい。

そして、或る段階にて、信号 S_5 は、図 2C に示すようにして、ダイナミックレンジ DR の最大レベル L_{dr} と同一とされるレベルに到達することになる。この状態が、先のゲイン設定についての微調整が完了したことには相当するものであり、概念としては、オーバーフローが発生しないレベル範囲において、最大限のダイナミックレンジを確保できた状態であることになる。ただし、実際においては、信号 S_5 がレベル L_{dr} と完全に同一レベルとなつた状態は、ほぼオーバーフローしている状態であることになり現実的には好ましくない。そこで、実際においては、信号 S_5 のレベルとレベル L_{dr} とが同一となつた状態から、1 ステップだけ第 2 GCA 24 のゲイン値を小さく設定して、この 1 ステップのゲイン値分だけ信号 S_5 のレベルがレベル L_{dr} よりも低くなるようにしている。そして、以降においては、このようにして第 2 GCA 24 に設定されたゲイン値が、第 2 GCA 24 に対して固定設定される。

上記図 2A, B, C により説明したゲイン設定手順に応じた、マイクロコンピュータ 5 (CPU) が実行するとされる処理動作を、図 3 のフローチャートに示す。なお、この図に示す処理が実行される段階において

ては、図 2 A により説明した、D/A コンバータ 1 2 の誤差ばらつき範囲の最小値 $L1_{min}$ と、A/D コンバータ 2 1 の誤差ばらつき範囲の最大値 $L2_{max}$ との関係設定は既に行われているものである。また、第 1 GCA 1 3 及び第 2 GCA 2 4 のゲイン値 $G1, G2$ は、それぞれ初期値（例えば 1 倍に対応するゲイン値）がセットされている。

この図に示す処理においては、先ず、ステップ S 101 により DSP 側の信号レベルが最大となるデータを入力信号として生成する。つまり、例としては先に述べたようにして、DSP 1 の信号処理部 1 1 から出力され、以降の信号処理系への入力信号となる信号 S 0 について、100 IRE のレベルのデジタルビデオ信号となるように、信号処理部 1 1 に対する制御を実行する。これにより、図 2 A より説明した初期状態が得られる。つまり、信号 S 0 が処理を経て信号 S 5 となる系においては、信号がオーバーフロー（過大レベル）となっている状態が確実に得られているものである。

15 そして、マイクロコンピュータ 5 は、次のステップ S 102において、信号 S 5 のデータ値（レベル） V_{S5} を取り込むようにされる。この処理によって、信号 S 5 のレベル監視が行われることになる。

次のステップ S 103においては、上記ステップ S 102 により取り込んだ信号 S 5 のデータ値 V_{S5} と、予め設定された規定値 V_{dr} について、 $V_{S5} < V_{dr}$ が成立したか否かについての判別を行う。

図 2 A, B, C により説明したように、初期状態においては、信号 S 5 のレベルは、ダイナミックレンジ DR の最大レベル L_{dr} に張り付いており、レベル L_{dr} に等しい。上記規定値 V_{dr} としては、基本的には、このレベル L_{dr} に対応するデータ値となる。ただし、実際においては、DSP 1 などのチップ、デバイスの仕様などに応じて、最良のダイナミックレンジが確保できることを考慮して、レベル L_{dr} 以下に対応する任意

の所定値が設定されてよい。

このステップ S 103において、 $V_{S5} < V_{dr}$ の関係が成立していない、つまり、 $V_{S5} \geq V_{dr}$ の関係が成立しているとして否定の判別結果が得られた場合であるが、このときには、未だオーバーフローが生じている状態であるということになる。

そこで、この場合にはステップ S 104に進んで、第 1 GCA に設定すべきゲイン値 G 1 について 1 ステップ分デクリメントする。この処理が行われる結果、第 1 GCA 13 から出力される信号 S 1 は、1 ステップのゲイン値のデクリメントに応じた分、レベルが低減されることになる。ステップ S 104 の処理が完了したら、ステップ S 102 に戻るよう にされる。このステップ S 102 → S 103 → S 104 の処理の流れにより、図 2B にて説明したように、信号のオーバーフローがなくなるまで、第 1 GCA 13 に設定するゲイン値を小さくしていくという動作が得られる。

そして、ステップ S 103において、 $V_{S5} < V_{dr}$ の関係が成立したとして肯定の判別結果が得られたとすると、このときにはじめて、図 2B にて説明したようにして、信号 S 1 が入力される D/A コンバータ 12 から、信号 S 5 が出力される第 2 GCA 24 までの信号処理系において、オーバーフローが発生していない状態が得られたこととなる。つまり、第 1 GCA 13 におけるゲイン値 G 1 が適正に設定されたことになる。そこで、この場合には、ステップ S 105 以降における第 2 GCA 24 のゲイン設定のための処理に移行するようにされる。以降、第 1 GCA 13 に対するゲイン値 G 1 の可変設定は行われないものであり、これにより、第 1 GCA 13 のゲイン値 G 1 は固定設定されたことになる。

第 2 GCA 24 に対するゲイン設定処理としては、先ず、ステップ S 105 によりゲイン値 G 2 を 1 ステップ分インクリメントする。これに

より、第2GCA24から出力される信号S5は、1ステップ分のゲイン値G2の増加に応じて、そのレベルも高くなる。

次のステップS106においては、先のステップS102と同様にして、信号S5のデータ値VS5を取り込むようにされる。そして、続くス

5 テップS107において、このデータ値VS5と、規定値Vdrについて、
 $VS5 \geq Vdr$ の関係が成立したか否かについて判別する。ここで、 $VS5 \geq Vdr$ の関係が成立しておらず、データ値VS5が規定値Vdr未満であるとして否定の判別結果が得られた場合には、第2GCA24のゲインについて高く設定する余地があるということになる。そこで、この場合には
10 ステップS108に進んで、ゲイン値G2を1ステップ分インクリメントして、ステップS106の処理に戻るようにされる。このステップS
106 → S107 → S108の処理の流れにより、最大限のダイナミックレンジが得られるように追い込んでいくためのゲインの微調整が行われることとなる。

15 そして、ステップS107において肯定結果が得られたとされると、ここではじめて、例えば図2Cにて説明したように、信号S5としては、ダイナミックレンジDRの最大レベルLdrと同一とされるレベルに到達したこととみなされることになる。そこで、この場合にはステップS1
09の処理に進むようになります。

20 ステップS109においては、ゲイン値G2について1ステップ分デクリメントする。

この処理は、前述したように、1ステップのゲイン値分だけ、信号S5のレベルが小さくなるようにして、確実にオーバーフローしないとされる状態を得るために行われる。ステップS109の処理が終了したら、
25 この図に示すゲイン設定の処理が終了されることになる。これにより、以降においては、第2GCA24のゲイン値も、最後の値により固定設

定されることになる。

ところで、上記図 2 A, B, C 及び図 3 による説明は、信号処理ブロック 4 内の信号処理部 2 2 における信号処理によって信号に与えられるゲイン（信号処理ゲイン）は 1 倍であり、従って、信号処理系における 5 ゲインコントロールに関しては、信号処理部 2 2 はパスされたものと等価であることを前提としている。

しかしながら、実際のこととして、信号処理の種類などによっては、処理後の信号にゲインが与えられて信号そのもののレベルが変化していくことも当然あり得るもので、従って、信号処理部 2 2 としても、信号 10 にゲインを与えることとなる信号処理を実行する構成を探る場合もあり得る、ということになる。

そこで、続いては、第 2 の実施の形態として、信号処理部 2 2 が 1 倍以外の信号処理ゲインを処理対象の信号に与える構成とされている場合に対応した、本実施の形態のゲイン設定について説明する。

15 この第 2 の実施の形態としてのゲイン設定の手順例を図 4 A, B, C, D に示す。

この場合にも、準備段階として、図 4 A に示すようにして、D/A コンバータ 1 2 の誤差ばらつきの範囲と、A/D コンバータ 2 1 の誤差ばらつきの範囲の関係として、D/A コンバータ 1 2 の最小値 $L1_{min}$ について、A/D コンバータ 2 1 の最大値 $L2_{max}$ 以上、若しくは最大値 $L2_{max}$ よりも高い値となるように設定する。

また、第 1 GCA 1 3 に対する入力信号 S_0 について、DSP 1 が扱う信号レベルとして最大であると規定されるレベル $Ls1$ （例えば 100 IRE）に対応するデータ値を設定する点も同様である。さらに、第 1 25 GCA 1 3, 及び第 2 GCA についても、ともに初期値として 1 倍のゲインを設定しておくようになる。これにより、初期的には、第 1 GCA

A 1 3, 及び第 2 G C A がそれぞれ 1 倍のゲインとなっている (スルーしているのと等価の) 状態下で、信号が確実にオーバーフローする状態を得る。

また、ここでは信号処理部 2 2 における信号処理ゲインのゲイン値 ($\times n$) としては $n = 0 \sim 2$ であることとする。この場合、最大のゲイン値としては 2 倍となるが、図 4 A においては、信号処理部 2 2 の入力信号 S 3 と、その出力である信号 S 4 とのレベル関係として、信号処理部 2 2 における信号処理ゲインのゲイン値が、最大の 2 倍である場合を示している。この場合において、信号 S 3 が、ダイナミックレンジ D R の最大レベル L_{dr} であったとすると、信号 S 4 は、その 2 倍のレベル L_{sp} となることが示されている。また、この場合には、第 2 G C A 2 4 のゲイン値 G_2 は初期値の 1 倍に対応する値が設定されているので、第 2 G C A 2 4 の出力である信号 5 も、信号 S 4 と同レベルとなる。

さらに、この場合においては、初期状態として、図 4 B に示すようにして、信号処理部 2 2 における信号処理ゲインのゲイン値について、1 倍 ($n = 1$) となるように制御する。第 1 G C A 1 3 のゲイン設定を行うのにあたっては、先の実施の形態と同様にして、第 2 G C A 2 4 に入力される信号 S 4 としては、A/D コンバータ 2 1 の出力である信号 S 3 と同じレベル応答であることが必要となる。このときに、信号処理部 2 2 における信号処理ゲインのゲイン値が 1 倍以外の値であると、信号 S 4 のレベル応答は、信号 3 とは異なるものとなる。

そこで、信号処理部 2 2 における信号処理ゲインのゲイン値を 1 倍に設定することで、同じ図 4 B に示すようにして、信号処理部 2 2 の出力である信号 S 4 (S 5) は、信号処理部 2 2 の入力である信号 S 3 と同レベルとすることになる。なお、このときには、先の第 1 の実施の形態と同様にして、オーバーフロー (過大入力) の状態が発生しているので、

信号S3、S4、S5は、レベルL_{dr}で張り付いた状態になっている。

上記のようにして、信号処理部22の信号処理ゲインのゲイン値について1倍を設定したことで、図1に示す信号処理系全体としてみた場合のゲイン設定状態としては、先の図2A、B、C及び図3の説明の場合と等価であることになる。

そして、この状態の下、マイクロコンピュータ5により信号S5のレベル（データ値）を監視して、図4Cに示すようにして、信号S5がレベルL_{dr}より小さくなるまで、第1GCA13のゲイン値G1を初期値から小さくしていく。つまり、先の第1の実施の形態において図2Bにより説明したのと同様の、第1GCA13に対するゲイン設定を完了させる。

続いては、第2GCA24のゲイン設定となるのであるが、この第2GCA24のゲイン設定に関しては、直ぐ前段の信号処理部22における信号処理ゲインを考慮すべき必要があることになる。つまり、この場合には、信号処理部22の信号処理ゲインが最大値となるときの最大信号レベルに基づいて、同じ信号処理ブロック4内のD/Aコンバータ23のダイナミックレンジが設定されているからであり、第2GCA24としては、このD/Aコンバータ23のダイナミックレンジが最大限に利用できるようにして、第2GCA24のゲイン値を設定する必要があるからである。

このために、第2GCA24のゲイン設定を行うのにあたっては、図4Dに示すようにして、信号処理部22の信号処理ゲインについて2倍を設定する。つまり、最大値を設定する。

これにより、信号処理部22の入力信号である信号S3に対して、その出力信号である信号S4は、2倍に対応するレベルを有することになる。この場合、信号3は、第1GCA13のゲイン設定が完了したこと

で、例えばダイナミックレンジDRの最大レベル（規定値）L_{dr}よりも小さい値となっている。これに応じて、信号S4のレベルは、ダイナミックレンジDRの最大レベルL_{dr}のちょうど2倍に対応するレベルL_{sp}に近いものの、より小さい値として得られる。

5 このような状態とした後、マイクロコンピュータ5は、信号S5のレベルが、上記レベルL_{sp}と同じとなるまで、第2GCA24に設定するゲイン値G2を高くしていくようにされる。

そして、信号S5のレベルがレベルL_{sp}と同じレベルになったとされると、概念的にはオーバーフローが発生しないレベル範囲において、最大10限のダイナミックレンジを確保できた状態ということになる。ただし、この場合においても、実際としては、信号S5のレベルとレベルL_{sp}とが同一となった状態から、1ステップだけ第2GCA24のゲイン値を小さく設定して、この1ステップのゲイン値分だけ信号S5のレベルをレベルL_{sp}よりも小さくしており、現実にオーバーフローが発生するの15を回避している。

図5のフローチャートは、上記図4A, B, C, Dにより説明したゲイン設定手順に応じた、マイクロコンピュータ5(CPU)が実行するとされる処理動作を示している。

この図に示される処理として、ステップS201～S205において、20ステップS202以外の処理は、それぞれ、先の第1の実施の形態における処理動作である、図3のステップS101～S104と同様の処理となる。ステップS202の処理は、図4Bにより説明したように、第1GCA13のゲイン設定を行うのにあたり、信号S4(S5)のレベルを、信号S3と同じとするために実行される。

25 そして、ステップS204において肯定の判別結果が得られたとされると、ステップS206以降の第2GCA24のゲイン設定のための処

理シーケンスに移行することとなり、この段階で、第1GCA13のゲイン設定が完了したこととなる。

ステップS206では、信号処理部22の信号処理ゲインのゲイン値を最大値G_{spmax}に設定する。ここでゲイン値を、そのままゲインとしての倍数(n)としてあつかうこととすれば、図4A, B, C, Dの例では、G_{spmax}=2であることになる。

上記ステップS206に続く、ステップS207～ステップS211の処理としては、それぞれ、先の実施の形態に対応する図3のステップS106～ステップS109の処理と同様となる。

ただし、ステップS209における、信号S5のデータ値V_{S5}と規定値V_{dr}との関係の判別としては、信号処理部22のゲイン値について最大値G_{spmax}が設定されていることから、

$$V_{S5} \geq V_{dr} \times G_{spmax}$$

が成立するか否かについての判別を行うこととしている。これにより、図4Dにより説明したようにして、信号S5が、レベルL_{sp}と同じ（実際にはステップS210の処理により1ステップのゲイン値分だけレベルL_{sp}より小さいレベルとなる）とされることになる。なお、図4Dは、レベルL_{dr}に対応するデータ値を規定値V_{dr}としている場合の例となる。このようにして、ステップS211までの処理が実行されることで、先の第1GCA13、及び第2GCA24のゲイン設定が完了したことになる。

なお、本発明としては、これまでに説明した実施の形態としての構成のみに限定されるものではない。

また、例えばDSP1の後段に対して、複数の信号処理ブロックが並列的に接続されたような場合にも適用できる。つまり、実施の形態として説明した第1GCA13のゲイン設定を一度行った後に、順次、後段

において並列接続された信号処理ブロックごとに第2GCAのゲイン設定を行うようすればよい。

また、例えば、これまで説明した実施の形態においては、図1に示したようにしてDSP1に対して1つの信号処理ブロック4を追加した例を5示しているが、本発明としては、例えばDSP1—信号処理ブロック4の後段に対して、さらに直列的に信号処理ブロックが接続されたような構成についても適用することが考えられる。

また、上記実施の形態では、本発明に基づく信号処理装置を備える機器として画像表示装置を例に挙げているが、画像表示装置としては、LCDの他にも、プラズマディスプレイや陰極線表示管などの表示デバイスを採用する構成とされて構わない。また、デジタルビデオ信号処理を実行する機器としては、例えば録画機器やDVD (Digital Versatile Disc) プレーヤなどをはじめとして各種知られており、これらの機器に本発明は適用可能である。

15 さらに、上記実施の形態では、ビデオ信号を対象とするゲイン設定を例に挙げているが、例えばオーディオ信号をはじめとした、他の形式の信号についてデジタル信号処理を実行する構成に適用することも可能である。

20 産業上の利用可能性

このようにして本発明は、デジタル信号処理を実行する2つの部位の間でアナログ信号形式で信号の入出力を行うような場合において、内部のD/A変換機能、A/D変換機能における信号レベルの誤差ばらつきによりダイナミックレンジが不適切な状態となることの問題を解消して25 いるものであり、これにより、例えば信号の再生出力結果について、これまでよりも良好で高品質なものとすることが可能となるものである。

請求の範囲

1. 第1のデジタル信号処理部と、第2のデジタル信号処理部を有して、
 - 5 上記第1のデジタル信号処理部は、所定のデジタル信号処理が施されたデジタル信号が入力され、設定されたゲイン値に応じたゲインを与えて出力する第1のゲイン調整手段と、上記第1ゲイン調整手段から出力されるデジタル信号をアナログ信号に変換して、上記第1のデジタル信号処理部から出力する第1のデジタルアナログ変換手段と、を備え、
 - 10 上記第2のデジタル信号処理部は、上記第1のデジタル信号処理部の上記デジタルアナログ変換手段から出力されるアナログ信号をデジタル信号に変換するアナログデジタル変換手段と、
 - 15 上記アナログデジタル変換手段から出力されるデジタル信号について所定のデジタル信号処理を施すデジタル信号処理手段と、上記デジタル信号処理手段から出力されるデジタル信号が入力され、設定されたゲイン値に応じたゲインを与えて出力するもので、上記第1のゲイン調整手段よりも低いゲイン感度が設定される第2のゲイン調整手段と、
 - 20 上記第2のゲイン調整手段から出力されるデジタル信号をアナログ信号に変換して、上記第2のデジタル信号処理部から出力する第2のデジタルアナログ変換手段と、を備えるとともに、上記第1のデジタルアナログ変換手段と、上記アナログデジタル変換手段は、上記第1のデジタルアナログ変換手段における信号レベルの誤差ばらつき範囲の最小値が、上記アナログデジタル変換手段に

おける信号レベルの誤差ばらつき範囲の最大値以上となる関係が得られるようにして設定されており、

さらに、上記第2のゲイン調整手段から出力されるデジタル信号のレベル値を検出する検出手段と、

- 5 上記第1のデジタル信号処理部において最大値として扱われるレベルの信号を上記第1のゲイン調整手段に対して入力させた状態のもとで、上記検出手段により検出されるレベル値が規定値未満の範囲で最大値となるようにして、上記第1のゲイン調整手段に対してゲイン値を設定する第1のゲイン設定手段と、
10 上記第1のゲイン設定手段によるゲイン値の設定が完了した後において、上記第1のデジタル信号処理部に対して所定の最大値として扱われるレベルの信号を入力させた状態のもとで、上記検出手段により検出されるレベル値が規定値以下の範囲で最大値となるようにして、上記第2のゲイン調整手段に対してゲイン値を設定する第2のゲイン設定手段と
15 を備える、

ことを特徴とする信号処理装置。

2. 上記デジタル信号処理手段においてデジタル信号のゲインが可変される場合において、

- 上記第1のゲイン設定手段は、上記第1のデジタル信号処理部に対して所定の最大値として扱われるレベルの信号を入力させるとともに、上記デジタル信号処理手段において最大のゲイン値となるようにした状態のもとで、上記検出手段により検出されるレベル値が規定値未満の範囲で最大値となるようにして、上記第1ゲイン調整手段に対してゲイン値を設定するようになされ、
25 上記第2のゲイン設定手段は、上記第1のゲイン設定手段によるゲイン値の設定が完了した後において、上記第1のデジタル信号処理部に対

して所定の最大値として扱われるレベルの信号を入力させるとともに、上記デジタル信号処理手段において1倍のゲイン値となるようにした状態のもとで、上記検出手段により検出されるレベル値が規定値以下の範囲で最大値となるようにして、上記第2ゲイン調整手段に対してゲイン値を設定するようにされている、

ことを特徴とする請求項1に記載の信号処理装置。

3. 第1のデジタル信号処理と、第2のデジタル信号処理を実行するものとされ、

上記第1のデジタル信号処理は、

10 所定のデジタル信号処理が施されたデジタル信号が入力され、設定されたゲイン値に応じたゲインを与える第1のゲイン調整手順と、

上記第1ゲイン調整手順により得られるデジタル信号をアナログ信号に変換して、上記第1のデジタル信号処理の出力とする第1のデジタル－アナログ変換手順とを含み、

15 上記第2のデジタル信号処理は、

上記第1のデジタル信号処理に含まれる上記デジタル－アナログ変換手順により得られるアナログ信号をデジタル信号に変換するアナログ－デジタル変換手順と、

上記アナログ－デジタル変換手順により得られるデジタル信号について所定のデジタル信号処理を施すデジタル信号処理手順と、

20 上記デジタル信号処理手順により得られるデジタル信号が入力され、設定されたゲイン値に応じて、上記第1のゲイン調整手段より低いゲイン感度によりゲインを与える第2のゲイン調整手順と、

上記第2のゲイン調整手順により得られるデジタル信号をアナログ信号に変換して、上記第2のデジタル信号処理部から出力する第2のデジタル－アナログ変換手順と、を含むとともに、

さらに、上記第1のデジタルーアナログ変換手順に対応するデバイスにおける信号レベルの誤差ばらつき範囲の最小値が、上記アナログーデジタル変換手順に対応するデバイスのける信号レベルの誤差ばらつき範囲の最大値以上となる関係が得られるように設定する設定手順と、

5 上記第2のゲイン調整手順により得られるデジタル信号のレベル値を検出手順と、

上記第1のデジタル信号処理において最大値として扱われるレベルの信号を上記第1のゲイン調整手順に対して入力させた状態のもとで、上記検出手順により検出されるレベル値が規定値未満の範囲で最大値となるようにして、上記第1のゲイン調整手順に対してゲイン値を設定する第1のゲイン設定手順と、

10 上記第1のゲイン設定手順によるゲイン値の設定が完了した後において、上記第1のデジタル信号処理部に対して所定の最大値として扱われるレベルの信号を入力させた状態のもとで、上記検出手順により検出されるレベル値が規定値以下の範囲で最大値となるようにして、上記第2のゲイン調整手順に対してゲイン値を設定する第2のゲイン設定手順と、

15 を実行するようにされていることを特徴とする信号処理方法。

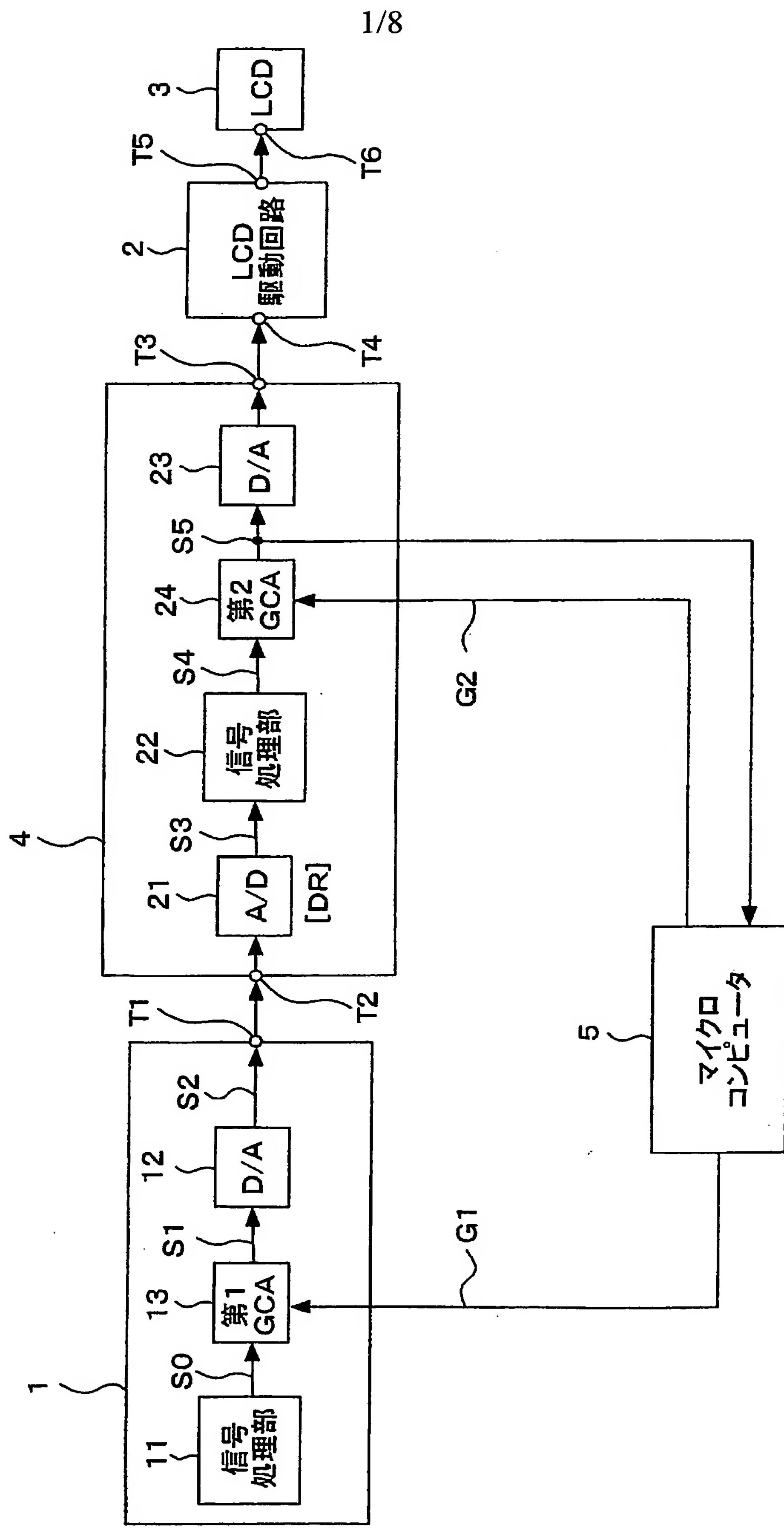


Fig. 1

THIS PAGE BLANK (USPTO)

Fig.2A

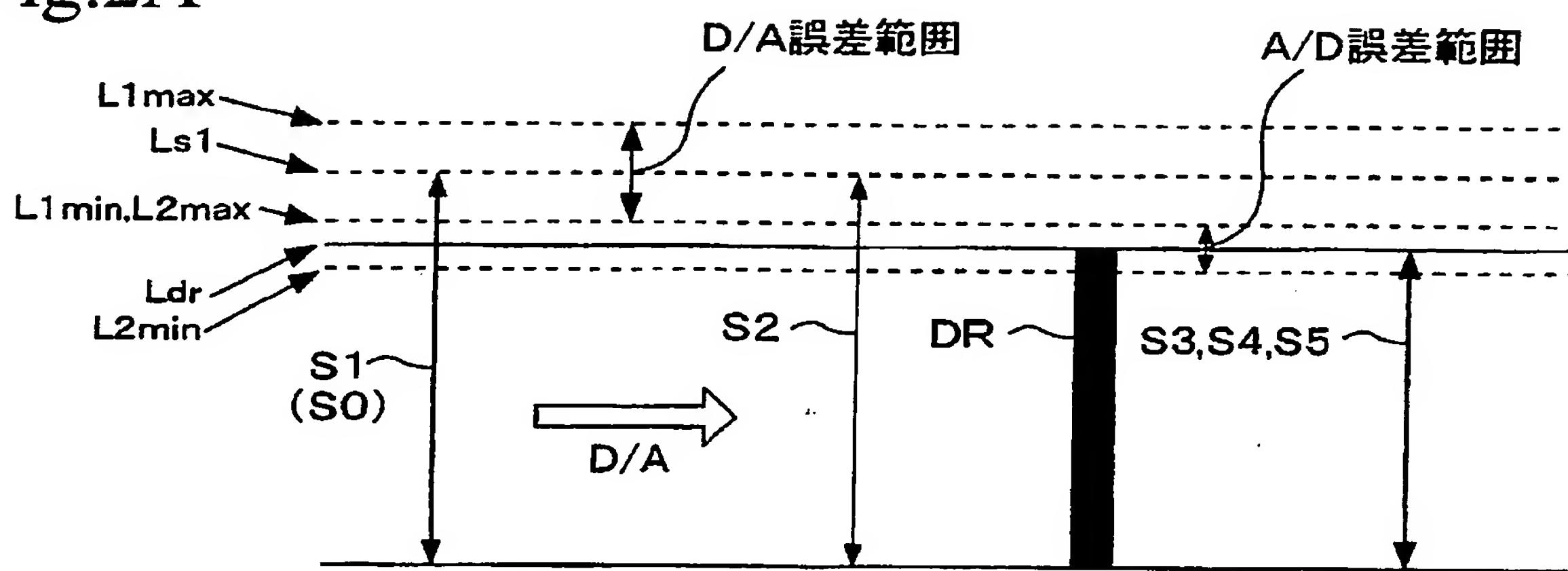


Fig.2B

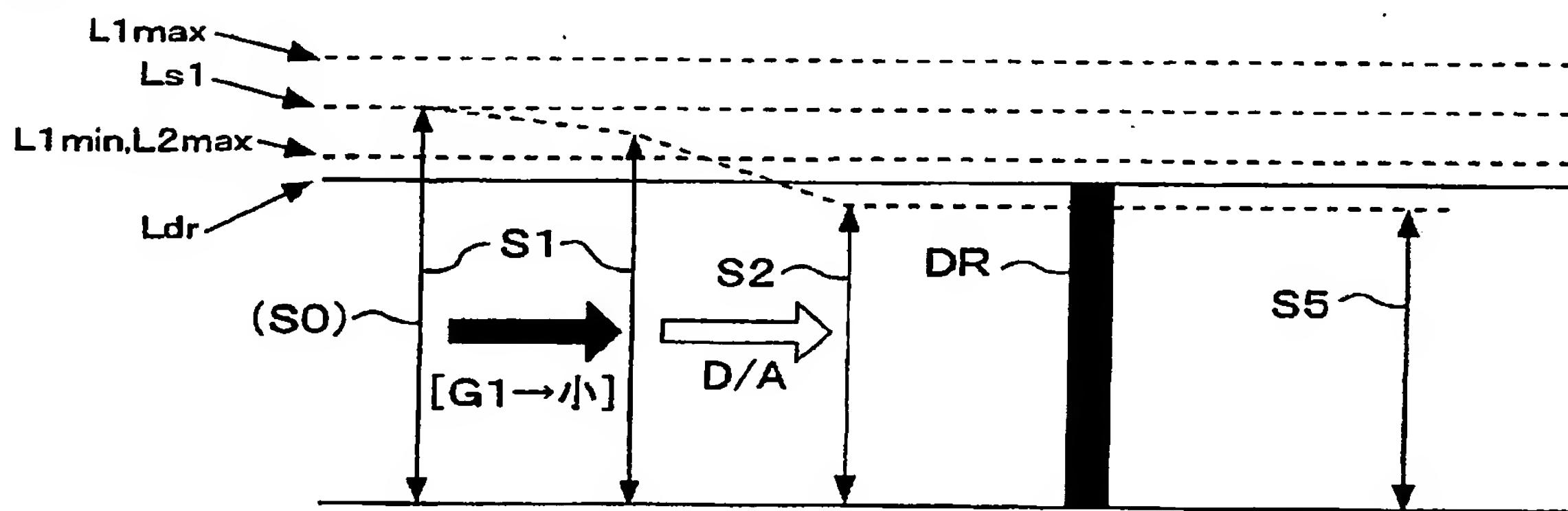
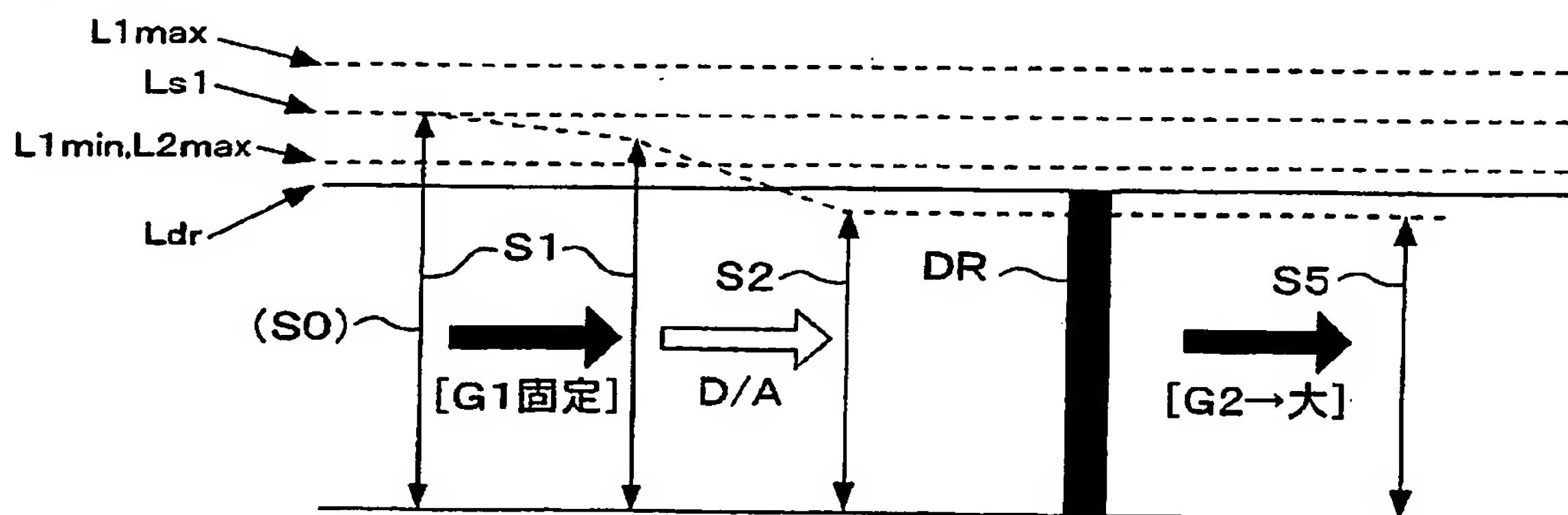


Fig.2C



THIS PAGE BLANK (USPTO)

3/8

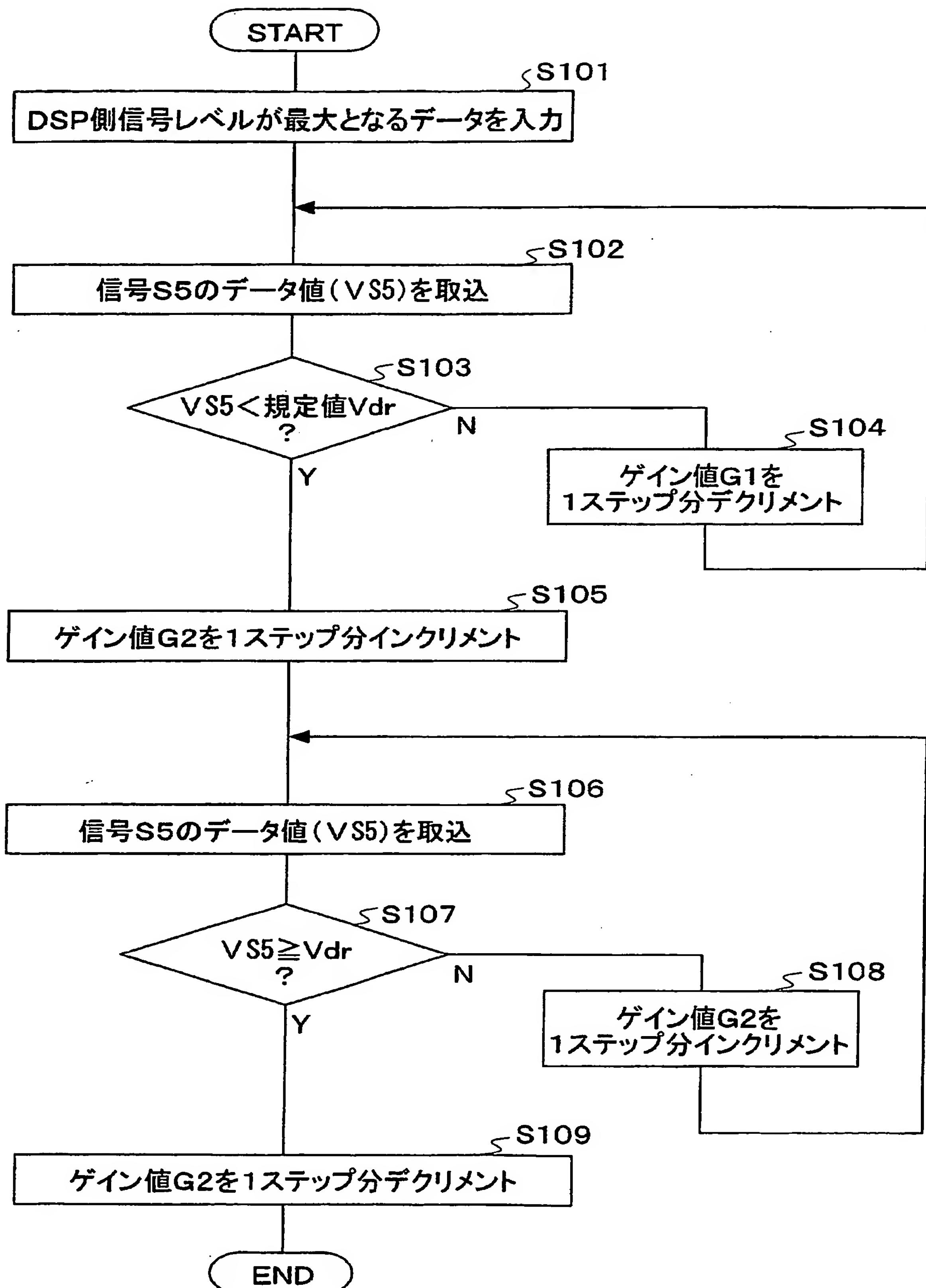


Fig.3

THIS PAGE BLANK (USPTO)

4/8

Fig.4A

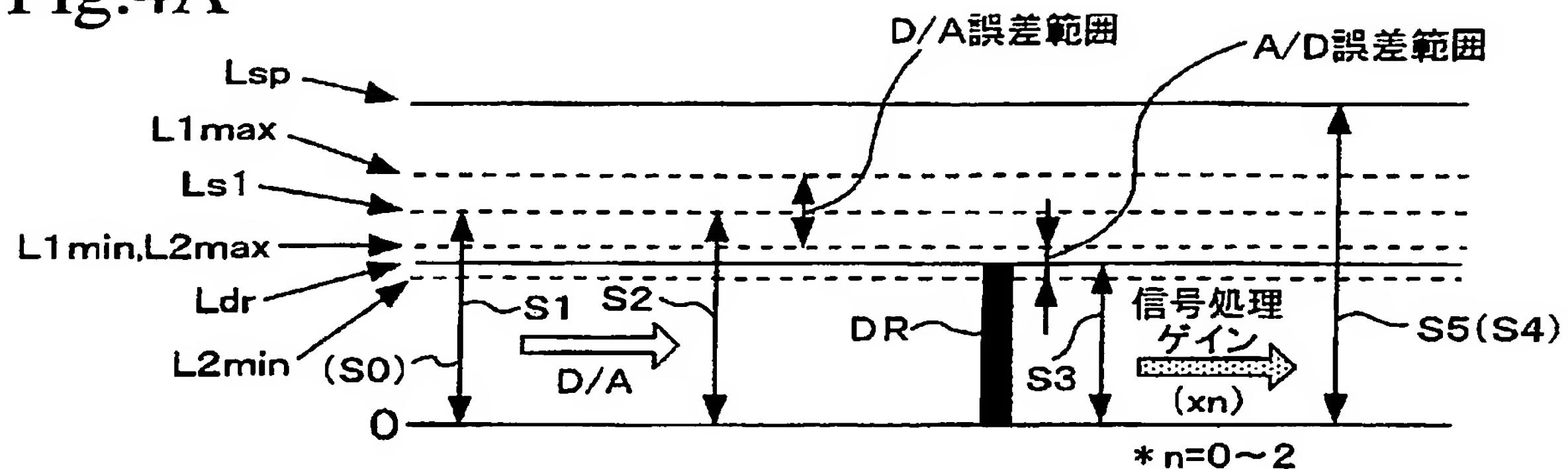


Fig.4B

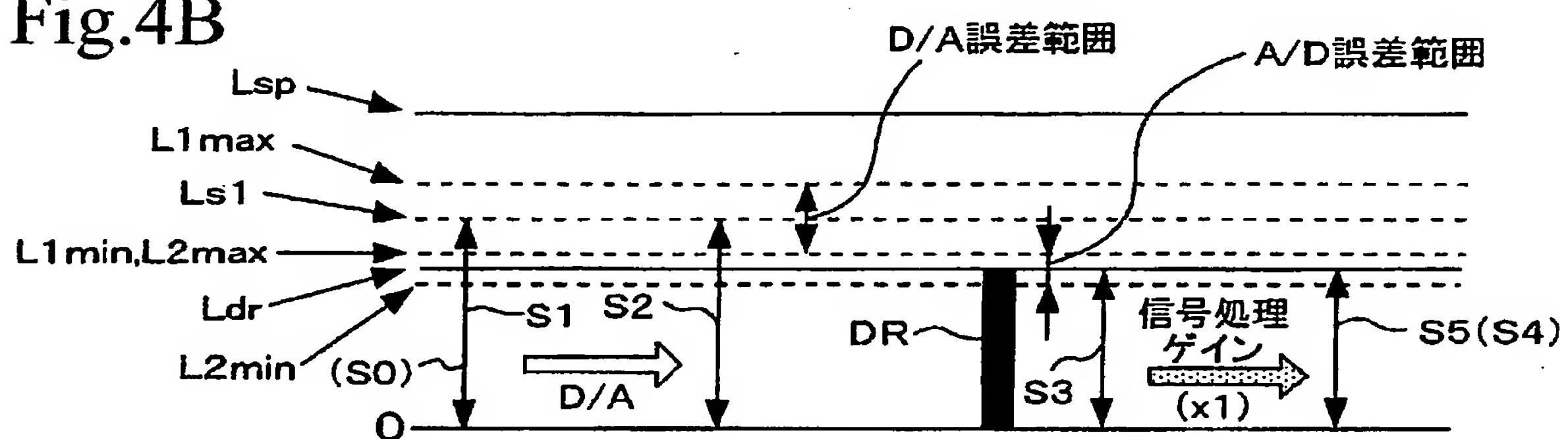


Fig.4C

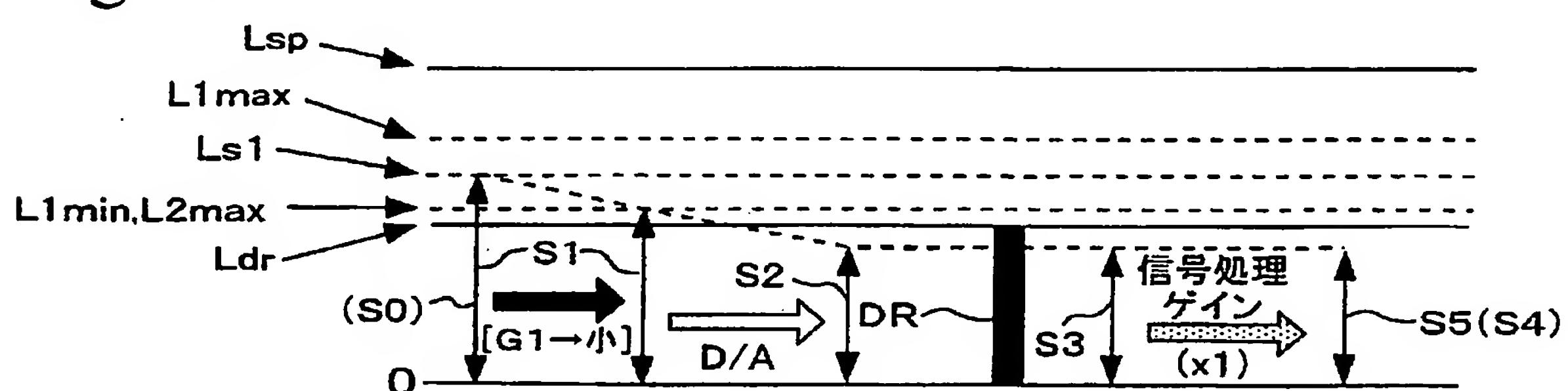
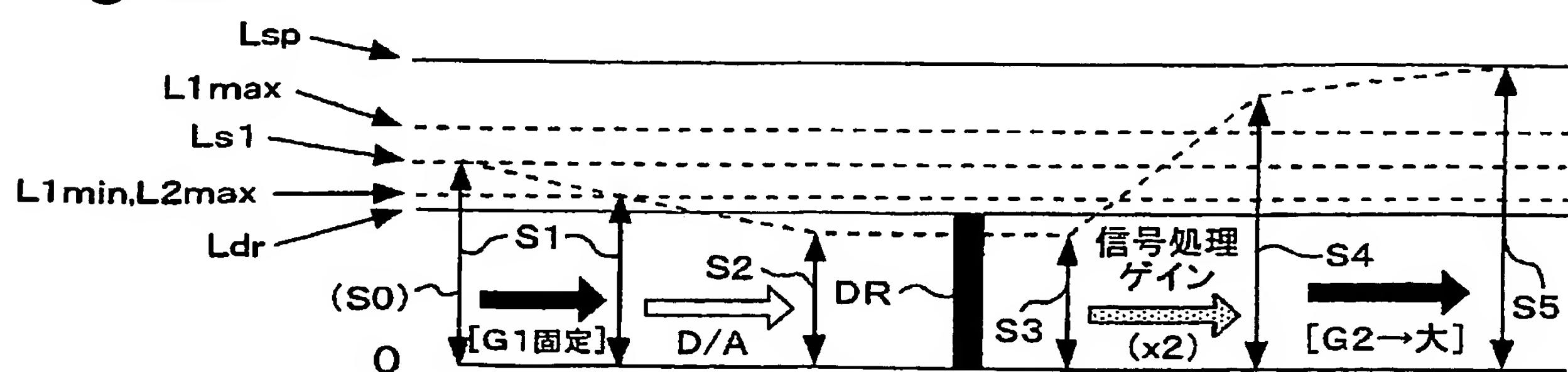


Fig.4D



THIS PAGE BLANK (USPTO)

5/8

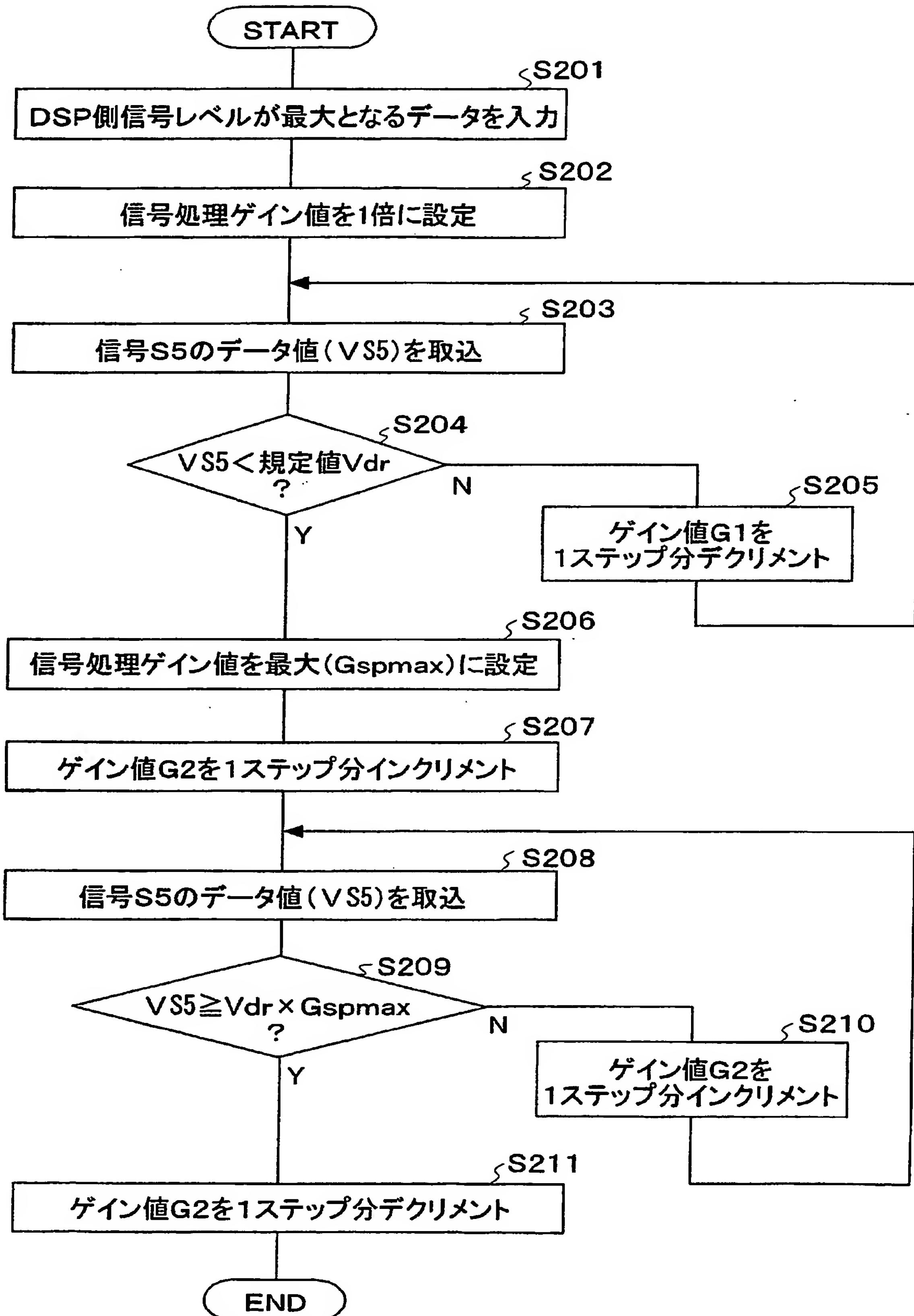


Fig.5

THIS PAGE BLANK (USPTO)

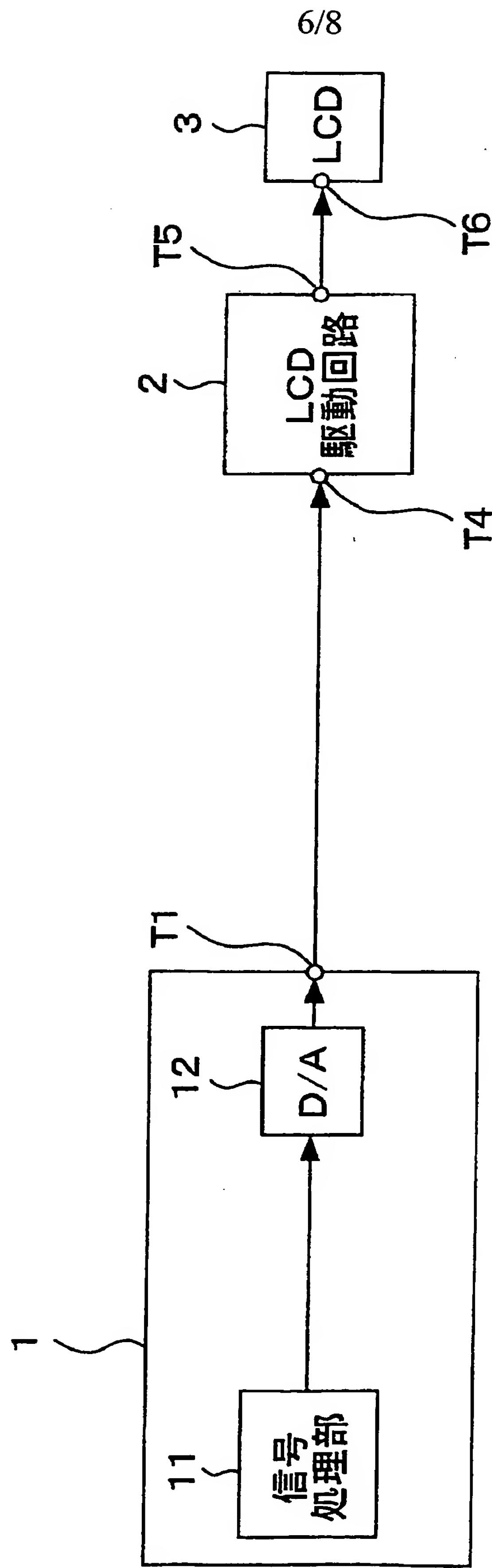


Fig.6

THIS PAGE BLANK (USPTO)

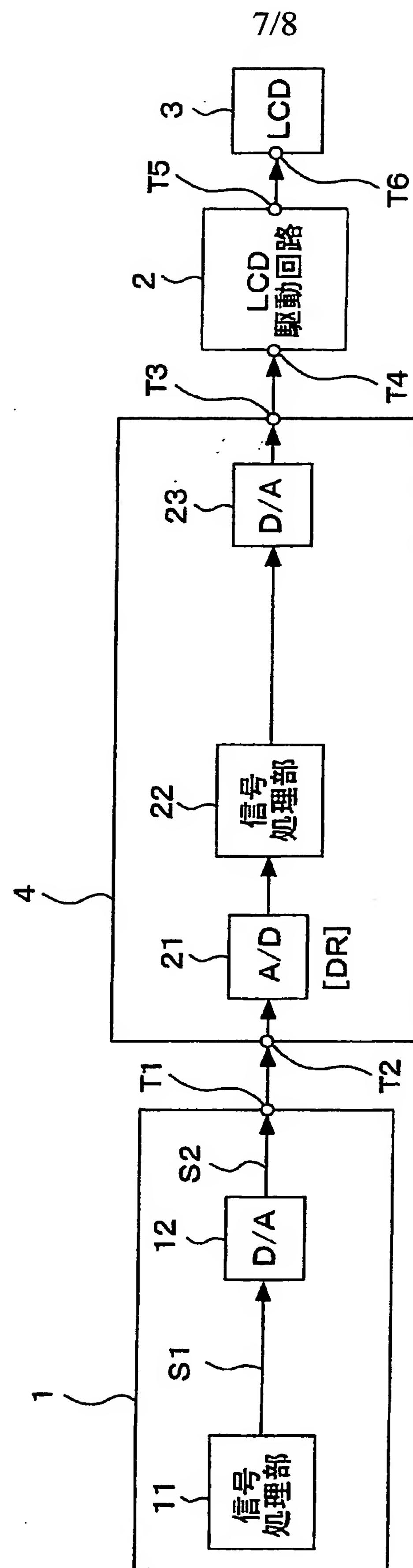


Fig. 7

THIS PAGE BLANK (USPTO)

8/8

Fig.8A

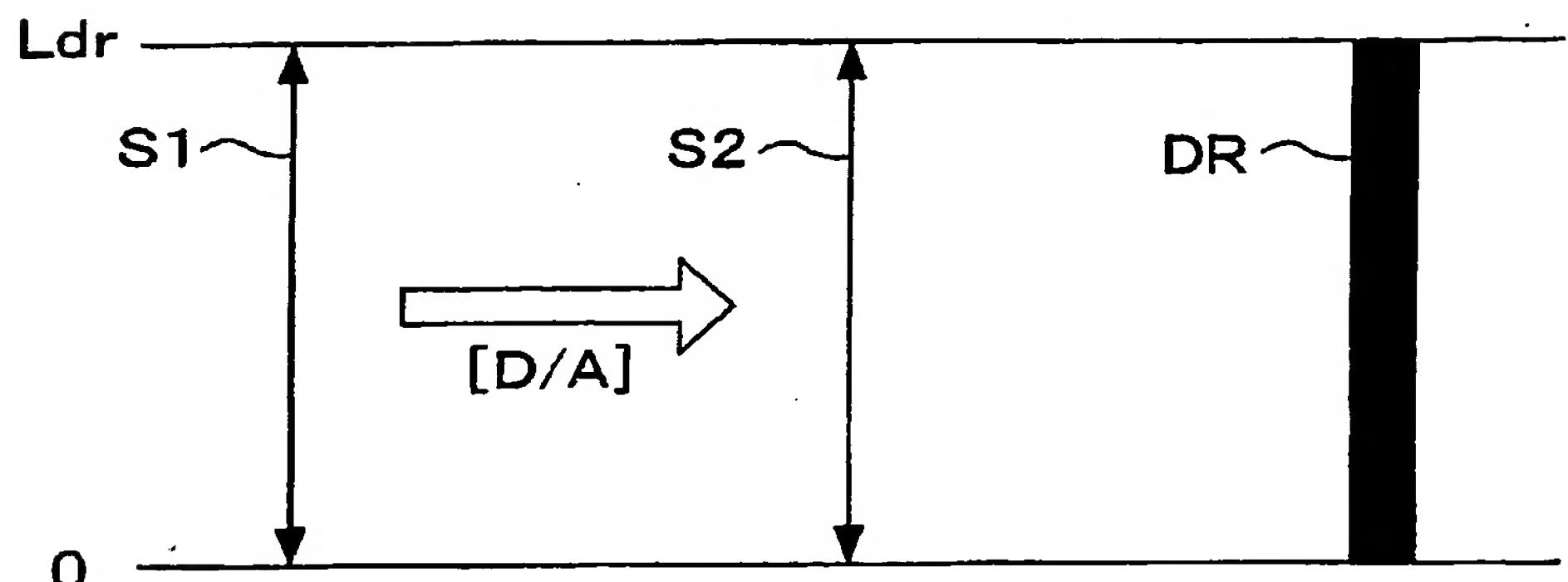


Fig.8B

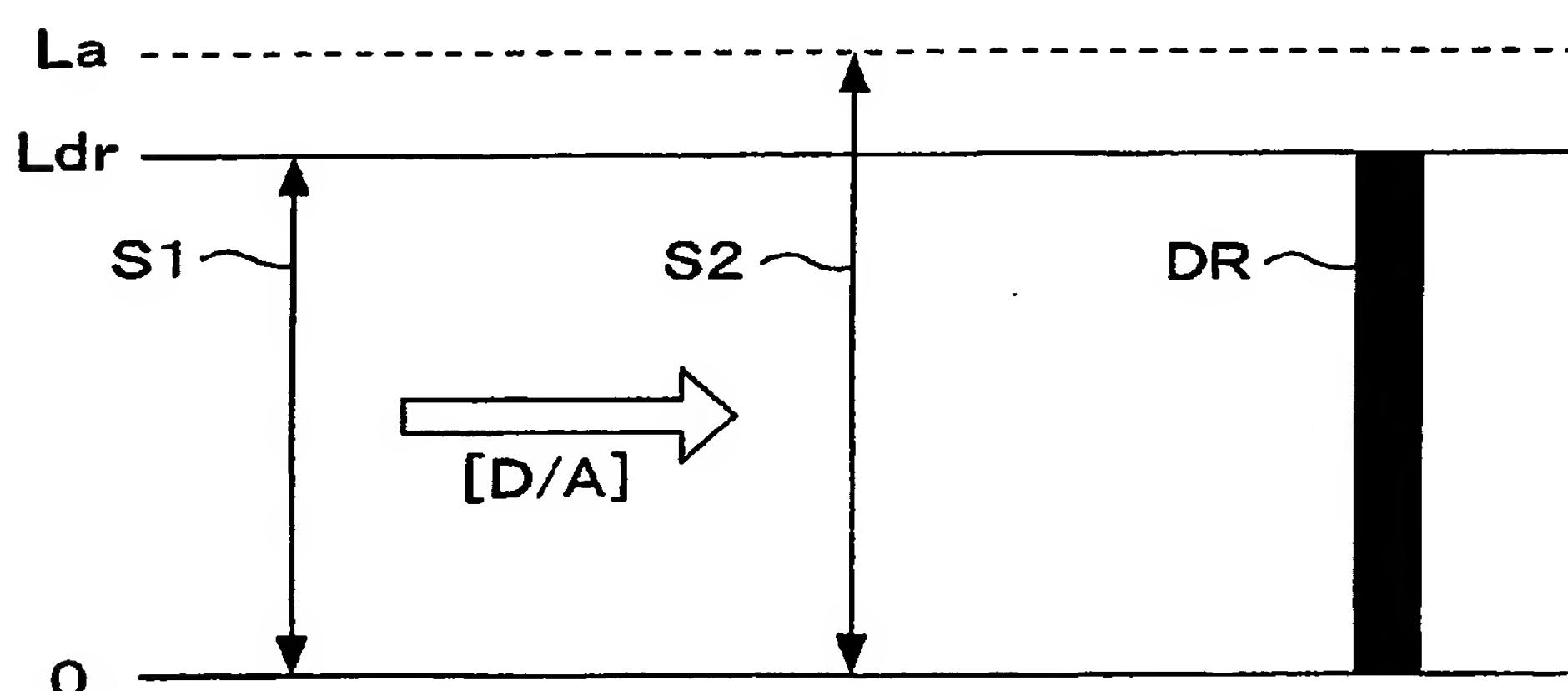
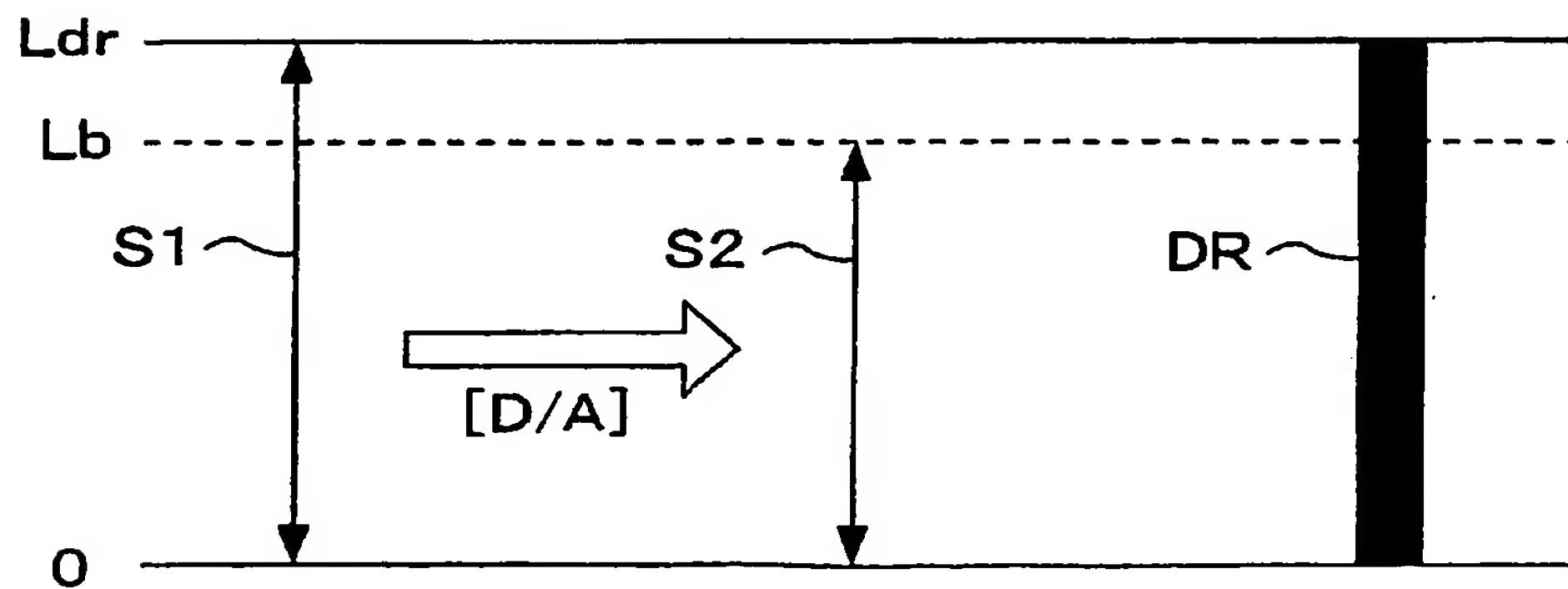


Fig.8C



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/011879

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁷ H04N5/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁷ H04N5/14-5/217

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-316087 A (Ricoh Co., Ltd.), 14 November, 2000 (14.11.00), Par. Nos. [0021] to [0025] (Family: none)	1-3
A	JP 2003-271103 A (Matsushita Electric Industrial Co., Ltd.), 25 September, 2003 (25.09.03), Par. Nos. [0029] to [0045] (Family: none)	1-3
A	JP 4-219023 A (Siemens AG.), 10 August, 1992 (10.08.92), Par. Nos. [0019] to [0020] & EP 444233 A1	1-3

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
01 August, 2005 (01.08.05)Date of mailing of the international search report
16 August, 2005 (16.08.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/011879

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-181886 A (Matsushita Electric Industrial Co., Ltd.), 12 July, 1996 (12.07.96), Par. Nos. [0010] to [0020] (Family: none)	1-3
A	JP 2003-188727 A (Sanyo Electric Co., Ltd.), 04 July, 2003 (04.07.03), Full text & US 2003/6926 A1	1-3
A	JP 9-245433 A (Sony Corp.), 19 September, 1997 (19.09.97), Full text (Family: none)	1-3

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H04N5/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H04N5/14-5/217

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-316087 A (株式会社リコー) 2000.11.14 【0021】-【0025】 (ファミリーなし)	1-3
A	JP 2003-271103 A (松下電器産業株式会社) 2003.09.25 【0029】 - 【0045】 (ファミリーなし)	1-3
A	JP 4-219023 A (シーメンス アクチエンゲゼルシャフト) 1992.08.10 【0019】 - 【0020】 & EP 444233 A1	1-3

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

01.08.2005

国際調査報告の発送日

16.08.2005

国際調査機関の名称及び先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松永 隆志

5P

4228

電話番号 03-3581-1101 内線 3581

C (続き) 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 8-181886 A (松下電器産業株式会社) 1996.07.12 【0010】 - 【0020】 (ファミリーなし)	1-3
A	JP 2003-188727 A (三洋電機株式会社) 2003.07.04 全文 & US 2003/6926 A1	1-3
A	JP 9-245433 A (ソニー株式会社) 1997.09.19 全文 (ファミ リーなし)	1-3

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)